

Japanese Utility Model Publication No. 63-46802

Application No. 61-139750

Application Date: September 10, 1986

Title of device: Tip form thermistor

Deviser(s): Yasufumi MANDAI et al.

Applicant: Murata Manufacturing Co., Ltd.

Technical Field of the Invention:

This invention relates to the improvement of structure of positive or negative temperature coefficient thermistor element, in particular structure of tip form thermistor of face mounting type.

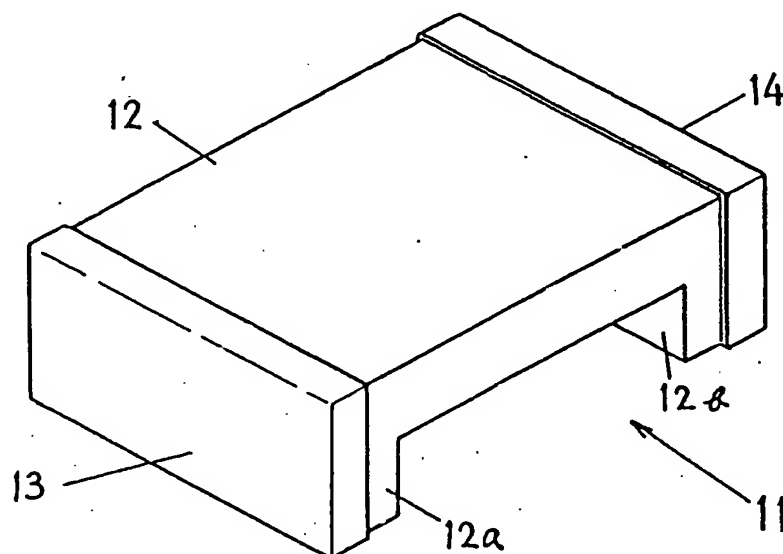
Means for Solving the Problems:

The tip form thermistor according to this invention comprises;

a laminated form thermistor element body (12), wherein plural internal electrodes are arranged to be laminated through a ceramic layer inside the semiconductor ceramic having positive or negative temperature characteristic of resistance, and each internal electrode inside said semiconductor ceramic is electrically connected respectively with a pair of external electrode (13, 14) on the surface of the semiconductor ceramic, and

a leg portion (12a, 12b) fixed with said thermistor element body (12) to set on the mounting object member.

Fig.1



**THIS PAGE BLANK (USPTO)**

# 公開実用 昭和63-46802

⑩ 日本国特許庁(JP)

⑪ 実用新案出願公開

## ⑫ 公開実用新案公報(U) 昭63-46802

⑬ Int.Cl.<sup>4</sup>  
H 01 C 7/02  
7/04

識別記号 庁内整理番号  
2109-5E  
2109-5E

⑭ 公開 昭和63年(1988)3月30日

審査請求 未請求 (全 頁)

⑮ 考案の名称 チップ型サーミスタ

⑯ 実 願 昭61-139750

⑰ 出 願 昭61(1986)9月10日

⑱ 考 案 者	万 代 治 文	京都府長岡京市天神2丁目26番10号 株式会社村田製作所内
⑲ 考 案 者	内 藤 康 行	京都府長岡京市天神2丁目26番10号 株式会社村田製作所内
⑳ 考 案 者	島 原 豊	京都府長岡京市天神2丁目26番10号 株式会社村田製作所内
㉑ 出 願 人	株式会社村田製作所	京都府長岡京市天神2丁目26番10号
㉒ 代 理 人	弁理士 深見 久郎	外2名



## 明 細 書

### 1. 考案の名称

チップ型サーミスタ

### 2. 実用新案登録請求の範囲

(1) 内部に複数の内部電極がセラミックス層を介して重なり合うように配置されている、正または負の抵抗温度特性を有する半導体磁器と、該半導体磁器を外部に電氣的に接続するために形成された外部電極とを備える積層型のサーミスタ素子本体と、

前記サーミスタ素子本体に固定的に設けられており、実装対象部材に取付けるための脚部とを備えることを特徴とする、チップ型サーミスタ。

(2) 前記脚部は、前記半導体磁器と同一材料で一体的に設けられている、実用新案登録請求の範囲第1項記載のチップ型サーミスタ。

(3) 前記脚部は、サーミスタ素子本体と別体の部材で構成されている、実用新案登録請求の範囲第1項記載のチップ型サーミスタ。

(4) 前記脚部は、サーミスタ素子本体の一



部が嵌合される嵌合部を有し、該嵌合部にサーミスタ素子本体が嵌合されて保持されている、実用新案登録請求の範囲第1項または第3項記載のチップ型サーミスタ。

(5) 前記脚部として、サーミスタ素子本体の一方側に延びる第1の脚部と、サーミスタ素子本体の反対側に延びる第2の脚部とを有し、第1または第2の脚部のいずれかを利用して面実装可能とされている、実用新案登録請求の範囲第1項～第4項のいずれかに記載のチップ型サーミスタ。

(6) 前記脚部は金属材料よりなり、かつ前記外部電極を兼ねている、実用新案登録請求の範囲第1項または第3項記載のチップ型サーミスタ。

### 3. 考案の詳細な説明

#### [産業上の利用分野]

この考案は、正特性サーミスタまたは負特性サーミスタ素子の構造、特に面実装タイプのチップ型サーミスタの構造の改良に関する。

#### [従来技術]

特開昭61-15302号には、第2図に示す



正特性サーミスタ 1 が開示されている。ここでは、正の抵抗温度特性を有するセラミック層間に該セラミック層を介して複数の内部電極が積層されており、この内部電極は 1 層おきに半導体磁器 2 の両端に引出されており、さらに引出された内部電極を電氣的に接続する外部電極 3, 4 が該半導体磁器 2 の両端に形成されている。

第 2 図に示した正特性サーミスタ 1 では、外部電極 3, 4 を利用してプリント基板上に直接固定して実装することが可能とされている。

〔考案が解決しようとする問題点〕

しかしながら、プリント基板上に面実装した場合、半導体磁器 2 の底面とプリント基板との間の距離が極めて短いため、基板側に熱が伝わりやすく、したがって基板の熱伝導性によって限流特性が大きく変化するという問題があった。他方、同様にして構成された負特性サーミスタにおいても、基板側に熱が伝達されてしまうため、やはり安定な特性を得ることはできない。

よって、この考案の目的は、面実装した場合で



も基板の性質の如何にかかわらず設計通りの特性を安定に発揮し得る構造を備えたチップ型サーミスタを提供することにある。

〔問題点を解決するための手段〕

この考案のチップ型サーミスタは、内部に複数の内部電極がセラミックス層を介して重なり合うように配置されている、正または負の抵抗温度特性を有する半導体磁器と、該半導体磁器内の内部電極を半導体磁器の外表面で相互に電氣的に接続する1対の外部電極とを備える積層型のサーミスタ素子本体と、

該サーミスタ素子本体に固定的に設けられており、実装対象部材に取付けるための脚部とを備えることを特徴とする。

〔作用および考案の効果〕

この考案では、積層型のサーミスタ素子本体に、実装対象部材に取付けるための脚部が固定的に設けられている。よって、実装に際しては、該脚部で基板等の実装対象部材に固定されるので、該脚部によりサーミスタ素子本体を実装対象部材から



遠ざけた状態で実装することができる。よって、サーミスタ素子本体から基板への熱伝導が第 2 図に示した従来のサーミスタ 1 の場合に比べてはるかに少なく、したがって基板の熱伝導性の如何にかかわらず設計通りの特性を得ることができる。

#### [実施例の説明]

第 1 図は、この考案の第 1 の実施例の正特性サーミスタを示す。ここでは、正特性サーミスタ 1 は、サーミスタ素子本体 1 2 と、サーミスタ素子本体 1 2 の両端に形成された外部電極 1 3, 1 4 とを備える。サーミスタ素子本体 1 2 には、この考案の脚部 1 2 a, 1 2 b が、両端にすなわち外部電極 1 3, 1 4 の設けられている側に一体的に形成されている。

第 1 図では明らかではないが、内部電極は、脚部 1 2 a, 1 2 b を除いた素子本体 1 2 の部分内に積層されている。よって、プリント回路基板等の実装対象部材に実装され、外部電極 1 3, 1 4 を介して外部と電氣的に接続され駆動される場合であっても、発熱部分すなわち素子本体 1 2 は実



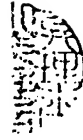


装対象部材から脚部 1 2 a, 1 2 b により隔てられているため、実装対象部材に熱が伝わりにくくされている。したがって、実装対象部材の熱伝導性の如何にかかわらず、設計通りの限流特性を発揮することが可能とされている。

次に、第 1 図実施例の製造方法を説明することにより、内部電極等の構造をより詳細に説明する。

チタン酸バリウムに対し、半導体化剤として微量の  $Y_2O_3$ 、鉍化剤として  $SiO_2$  および  $Al_2O_3$ 、特性改善剤として  $MnO_2$  を添加して混合し、これに有機質バインダを加えたセラミック・スラリを用意し、第 3 図に示すセラミックグリーンシート 2 1 … 2 6 およびセラミック成形体 2 7, 2 8 を成形する。セラミック成形体 2 1 … 2 6 は第 1 図に示した素子本体 1 2 を構成するためのものであり、セラミック成形体 2 7, 2 8 は脚部 1 2 a, 1 2 b を構成するためのものである。

他方、上述したのと同じの原料粉末を空気中において  $1300^\circ C$  で焼成し、これを再度粉碎して得た焼結粉末にカーボンおよびワニスを混合して



ペーストを作成し、該ペーストをセラミック成形体シート 2 2 … 2 5 上に印刷塗布する（これをハッチングされた領域として第 3 図に示す。）。

上述のようにして用意したセラミック成形体 2 1 … 2 6 を第 3 図に示す順に積層し、さらにセラミック成形体 2 7, 2 8 上に載置し圧着する。次に、空気中において 1 3 0 0 °C で焼成する。

上述のようにして得られた焼結体を第 4 図に示す。このようにして得られた正の抵抗温度特性を有する半導体磁器 3 1 では、上述したペースト内に混入されていたカーボンが飛散し、交互に対向する端面に達している多孔層 3 2 … 3 5 が形成されている。

次に、半導体磁器 3 1 を減圧下で脱気し、さらに低融点の卑金属溶液中に浸漬し、該多孔層 3 2 … 3 5 中に卑金属溶液を加圧・注入する。注入する卑金属としては、P b または S n あるいはこれらの合金等を用いることができる。

卑金属を多孔層 3 2 … 3 5 に注入することにより、第 5 図に示すように、内部電極 3 2 … 3 5



を形成することができ、さらに内部電極 3 2  
… 3 5 が交互に引出されている両端面に外部電  
極 1 3, 1 4 を付与することにより、第 1 図に示  
す正特性サーミスタ 1 1 を得ることができる。

第 3 図…第 5 図から明らかなように、第 1 図実  
施例における脚部 1 2 a, 1 2 b は正特性サーミ  
スタ素子本体 1 2 と同一のセラミック材料を用い  
て形成される。よって、脚部 1 2 a, 1 2 b は、  
特に付加的な材料を要することなく、また特別の  
接合工程を実施せずとも簡単に設けられる。

第 1 図実施例では、脚部 1 2 a, 1 2 b は内部  
電極が引出されている両端面に平行に延びるよう  
に形成されていたが、第 6 図実施例のようにサー  
ミスタ素子本体 1 2 の長手方向に延びる脚部 1 2  
c, 1 2 d、あるいは第 7 図実施例のようにコー  
ナ部分に脚部 1 2 e, 1 2 f, 1 2 g を設けても  
よい。第 6 図実施例および第 7 図実施例のいずれ  
も、第 3 図～第 5 図を参照して説明した製造方法  
と同様にして容易に得ることができる。すなわち、  
第 3 図に示したセラミック成形体 2 7, 2 8 に代



えて、上記脚部 1 2 c, 1 2 d または脚部 1 2 e  
… 1 2 g に相当の形状のセラミック成形体を用い  
ればよいだけである。

また、第 3 図においてセラミックグリーンシー  
ト 2 1 の上方にもセラミック成形体 2 7, 2 8 と  
同様のセラミック成形体を配置して圧着し焼成す  
れば、第 8 図に示すように脚部 1 2 a, 1 2 b と  
反対側に延びる脚部 1 2 a', 1 2 b' を形成す  
ることもできる。

同様に、第 6 図実施例および第 7 図実施例に相  
当する構成においても、上側にセラミック成形体  
を配置して圧縮し焼成することにより、第 9 図お  
よび第 1 0 図実施例に示すように脚部 1 2 c, 1  
2 d あるいは脚部 1 2 e … 1 2 g と反対側に延び  
る脚部 1 2 c', 1 2 d' あるいは脚部 1 2 e'  
… 1 2 h' を形成することができる。第 8 図…第  
1 0 図に示した実施例では、素子本体の上側にも  
脚部 1 2 a' … 1 2 h' が形成されているので、  
上下いずれの脚部を用いても実装対象部材上に面  
実装することができる。



第11図および第12図は、この考案のさらに他の実施例を説明するための各斜視図である。ここでは、第2図に示した従来の積層型のサーミスタ1と同様に、セラミック層を介して積層された複数の内部電極を内部に有するサーミスタ素子本体32の両端面に外部電極33, 34が形成されている。もっとも、このサーミスタ素子本体32には、弾性を有する金属板から形成された脚部35, 36が取付けられる。すなわち、脚部35, 36は、それぞれ、素子本体32が入り込み得る嵌合部35a, 36aを有し、該嵌合部35a, 36aを利用してサーミスタ素子本体32に取付けられている(第12図)。

第12図実施例では、嵌合部35a, 36aを利用して脚部35, 36が素子本体32に一体化されており、また各脚部35, 36は嵌合部35a, 35bの下方に立上がり部35b, 36bを有するため、第1図実施例と同様に、実装対象部材に面実装した場合、素子本体32を実装対象部材から遠ざけることができるので、熱の実装対象



部材への移動を効果的に抑えることが可能とされている。

さらに、脚部 3 5, 3 6 は金属材料よりなり、外部電極 3 3, 3 4 側に取り付けられるため、該脚部 3 5, 3 6 を内部電極 3 3, 3 4 と電氣的に接続し、それによって外部との電氣的接続部分として用いることも可能とされている。好ましくは、半田等を用いて外部電極 3 3, 3 4 と脚部 3 5, 3 6 とを接合すれば、外部電極 3 3, 3 4 と脚部 3 5, 3 6 との電氣的接続をより確実にすることができる。

上述した脚部 3 5, 3 6 の変形例としては、第 1 3 図に示すように垂直壁 4 1 a から側方に突出形成された棚 4 1 b, 4 1 c により嵌合部 4 1 d を設けた脚部 4 1 や、第 1 4 図に示すように同一形状の棚部 4 2 a, 4 2 b, 4 2 c を垂直壁 4 2 d, 4 2 e で接続して嵌合部 4 2 f, 4 2 g を設けた脚部 4 2 や、第 1 5 図に示すように第 1 3 図の脚部 4 1 の下方に水平取付部 4 3 d を設けた脚部 4 3 を用いることも可能である。



さらに、第16図に示すように、水平方向に延びる棚部材44a…44dを垂直壁44e…44gで接続した各棚部材間に嵌合部44h…44jを設けた脚部44や、垂直壁45aの中央部に水平方向に延びる棚部材45b, 45cを設けて嵌合部45dを形成した脚部45を用いることもできる。第16図および第17図に示した脚部44, 45では、上下のいずれの側を実装側とすることも可能であり、したがって方向性を気にすることなく正特性サーミスタを面実装することができる。

さらに、第11図…第17図に示した例では、脚部に素子本体32を入り込ませる嵌合部が形成されていたが、第18図に示すように素子本体32を載置するように取付けられる脚部51, 52を設けてもよい。ここでは、脚部51, 52の先端に形成された棚部51a, 52a上に素子本体32が載置されるため、該棚部51a, 51bと素子本体32は、たとえば導電性接着剤等を用いて接合される。同様に、第19図に示すように、素子本体32の両端面に直線状の脚部53, 54



を接着固定した構造であってもよく、この場合にも素子本体 3 2 は実装基板から遠ざけられる。

なお、第 1 1 図…第 1 9 図に示した例では、素子本体 3 2 の外部電極 3 3, 3 4 側に脚部がそれぞれ取付けられていたが、外部電極 3 3, 3 4 の形成されていない側すなわち第 1 1 図に矢印 X で示す両端縁側に脚部を取付けてもよい。また、取付ける脚部の数についても 1 以上任意である。

さらに、実装対象部材としての基板に、取付用の貫通孔が形成されている場合には、第 2 0 図に示すように、脚部 6 0 の先端に該孔に挿入される突起 6 1 を設けてもよく、それによってより確実に脚部 6 0 を、ひいてはサーミスタ 3 1 を位置決め・固定することができる。

#### 4. 図面の簡単な説明

第 1 図は、この考案の一実施例の斜視図、第 2 図は従来の積層型のチップ型サーミスタを示す斜視図である。第 3 図…第 5 図は、第 1 図実施例を製造する工程を説明するための各図であり、第 3 図は用いるセラミック成形体を示す斜視図、第 4





図は焼結後の状態を示す断面図、第5図は内部電極を注入した後の状態を示す断面図である。第6図…第10図は、それぞれ、この考案のさらに他の実施例を示す斜視図である。第11図および第12図は、脚部として金属板用いた実施例を説明するための各斜視図である。第13図…第20図は、別体に構成される脚部の変形例を示す図である。

図において、11はチップ型サーミスタ、12はサーミスタ素子本体、13、14は外部電極、12a、12bは脚部を示す。

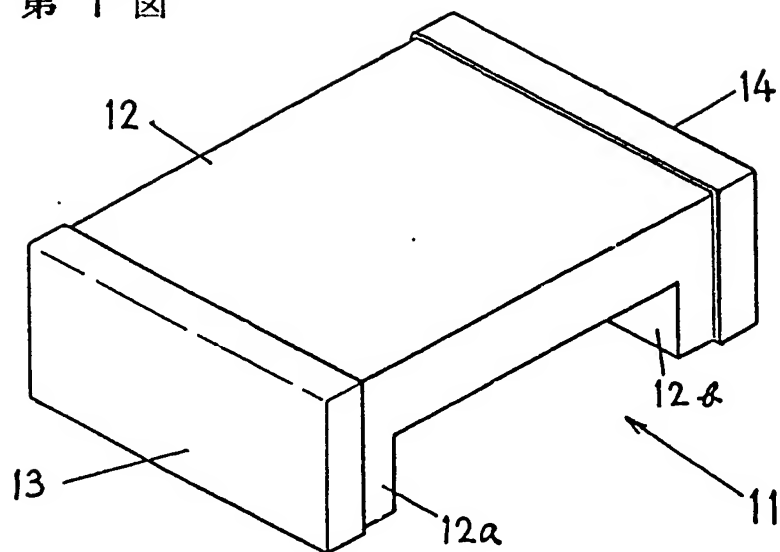
実用新案登録出願人 株式会社村田製作所

代理人 弁理士 深見 久郎

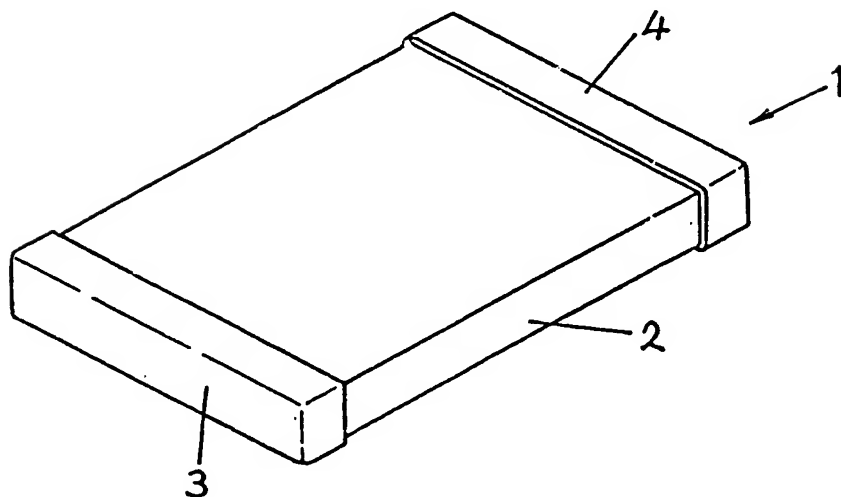
(ほか2名)



第 1 図



第 2 図

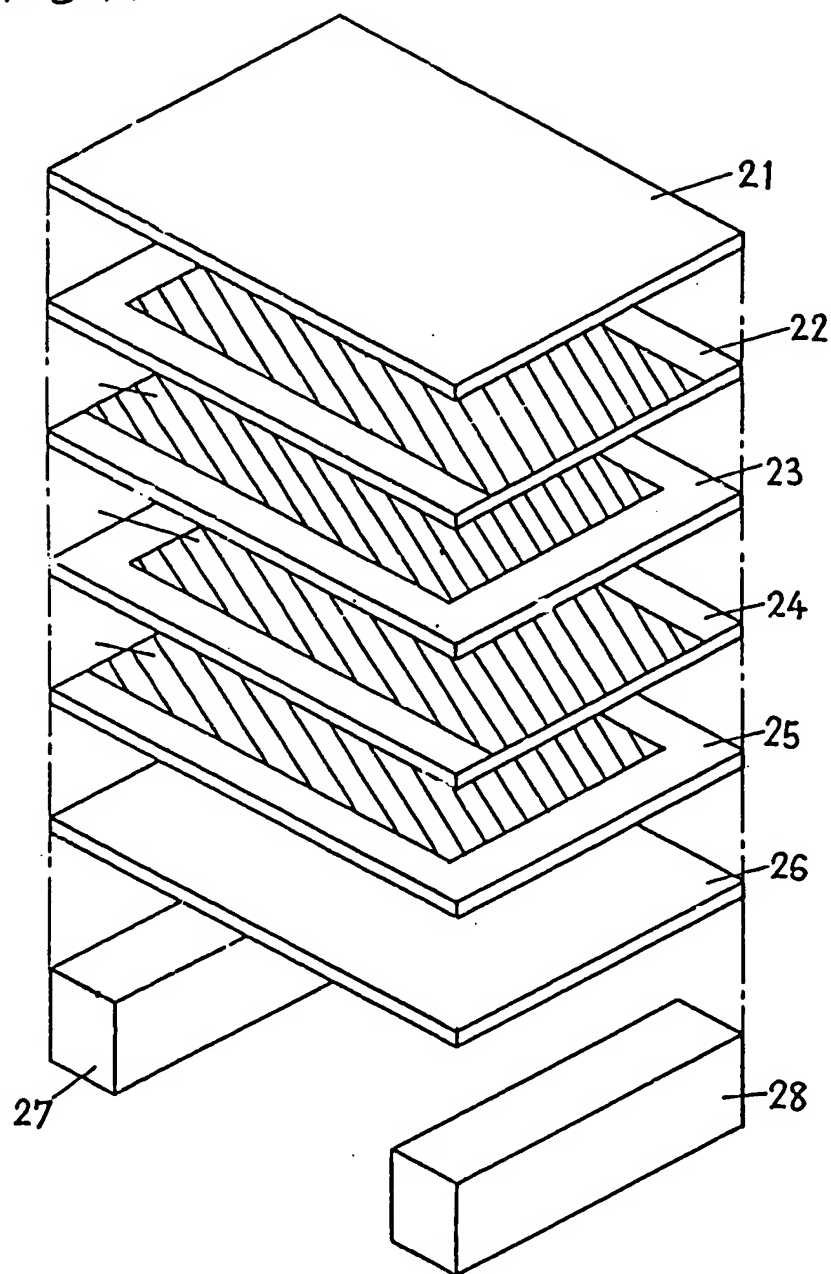


23

実開 63-46802



第 3 図



24

実用新案登録出願人

株式会社 村田製作所

代理人

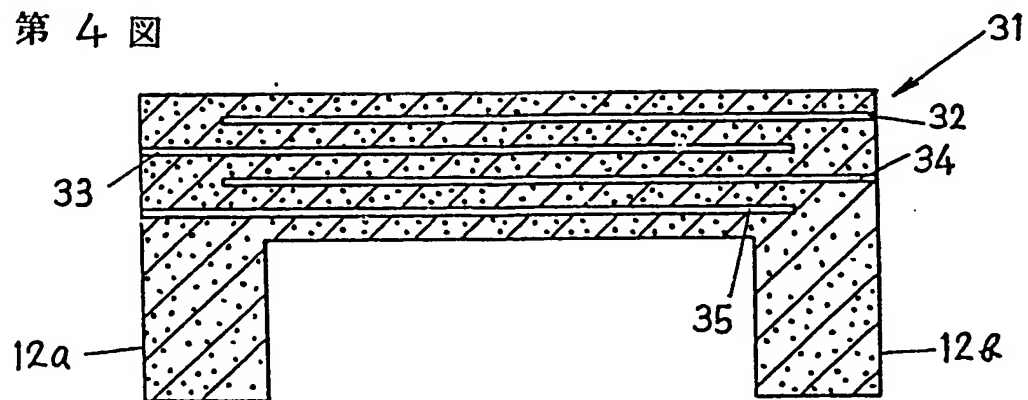
弁理士

深見久郎

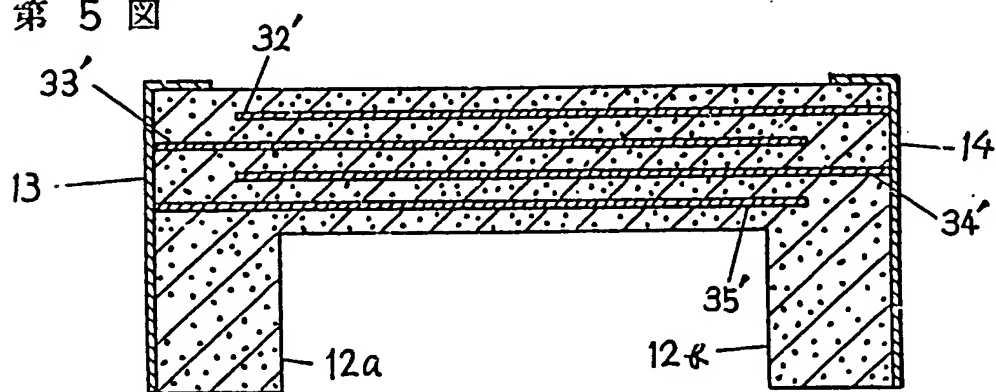
(ほか2名)



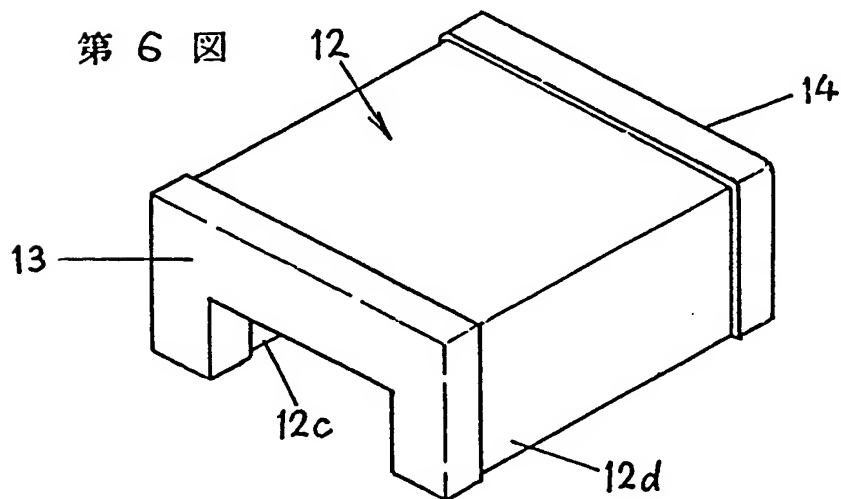
第 4 図



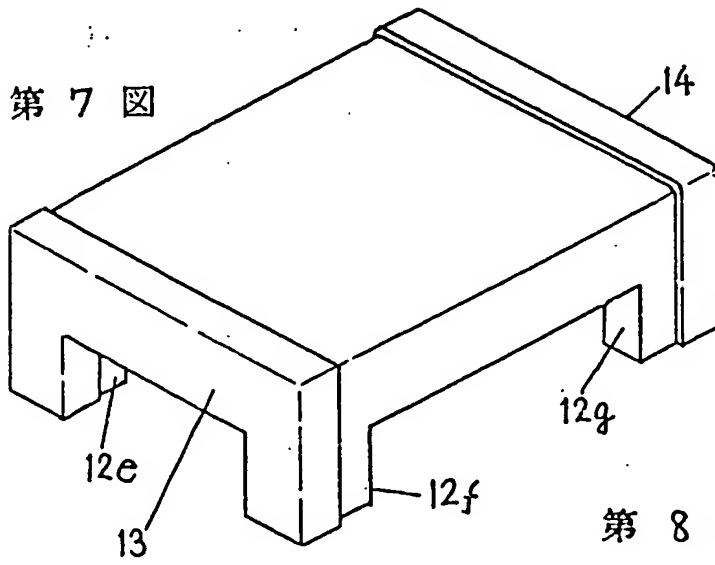
第 5 図



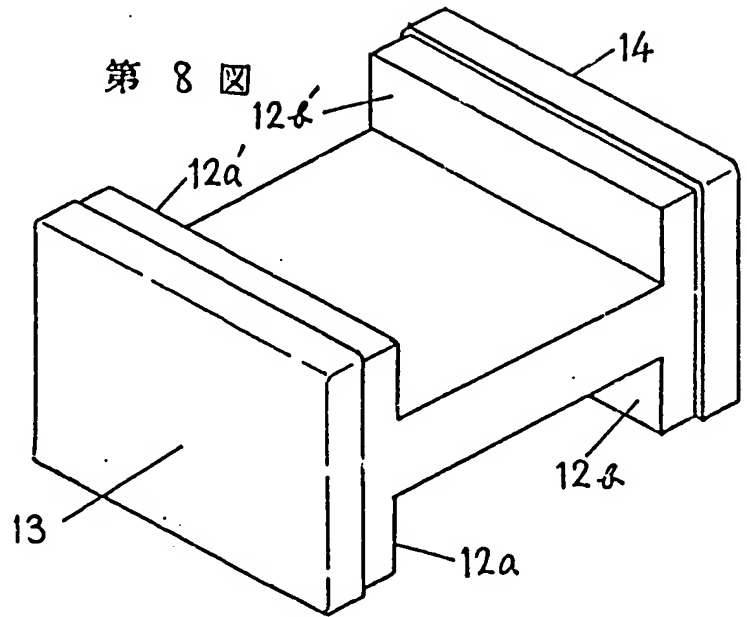
第 6 図



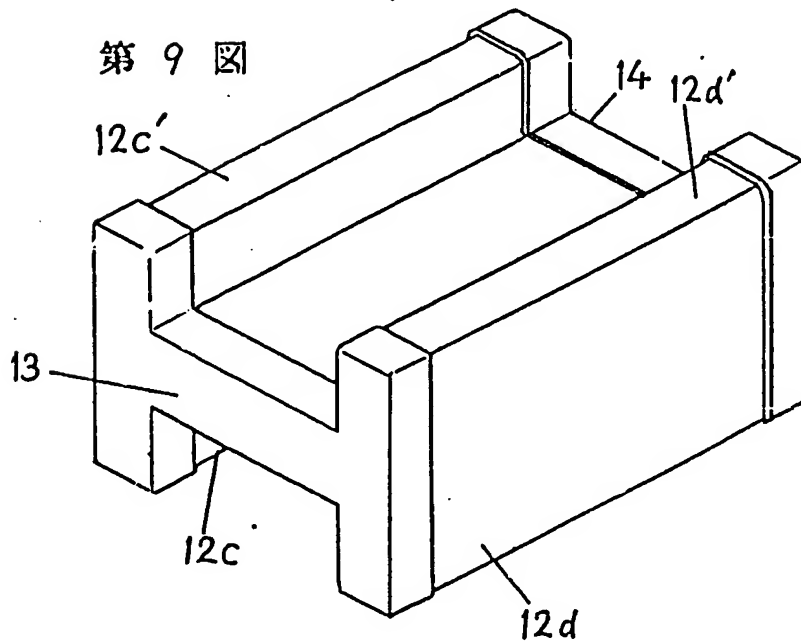
第 7 図

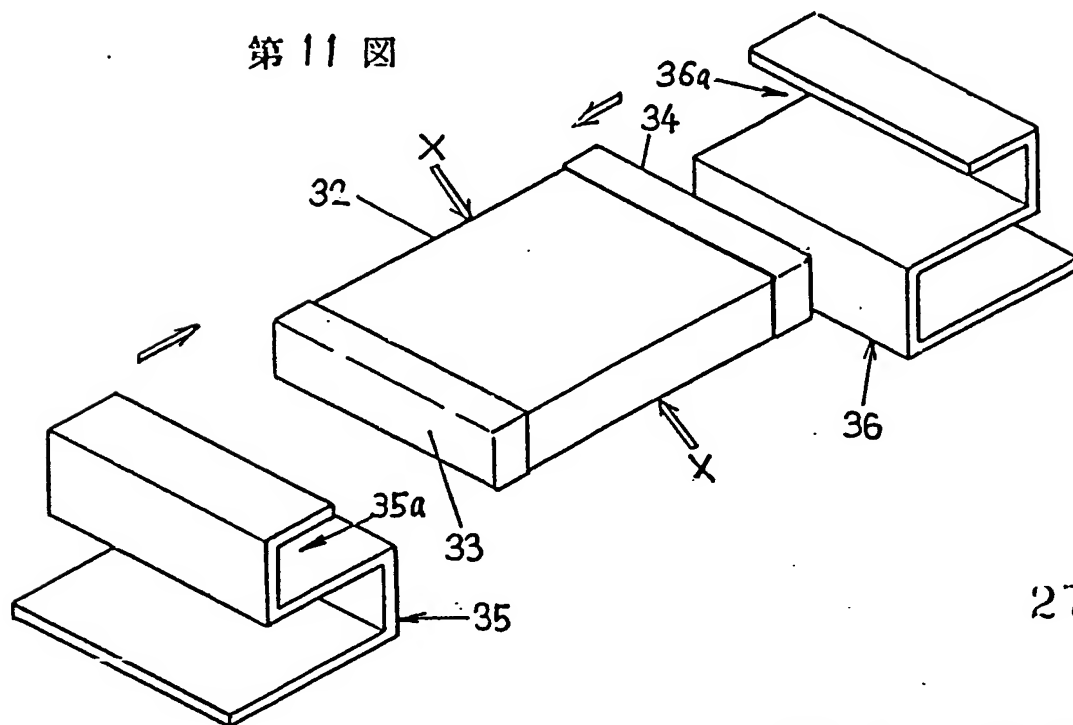
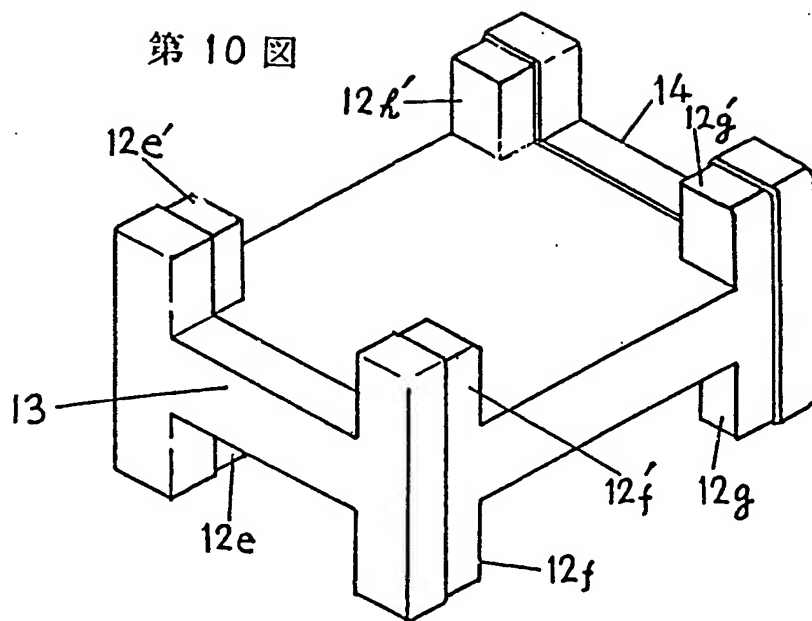


第 8 図



第 9 図



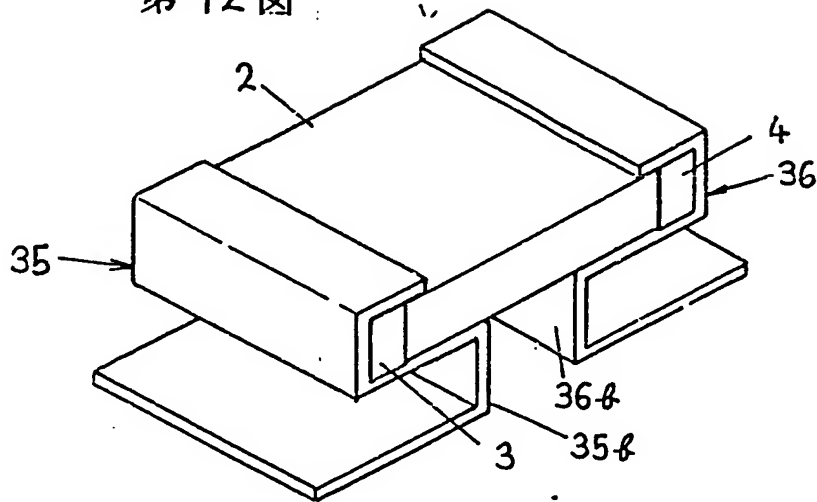


27

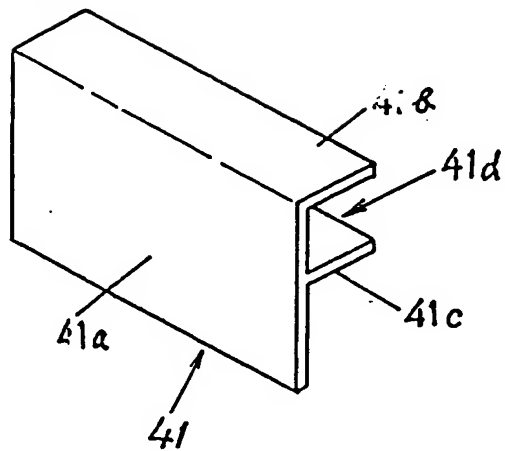
実開 63-46802



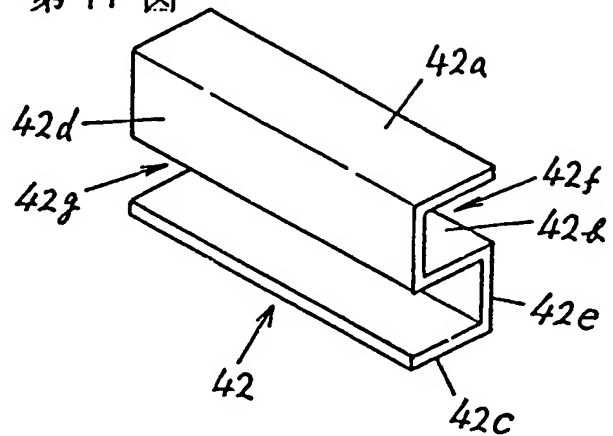
第 12 図



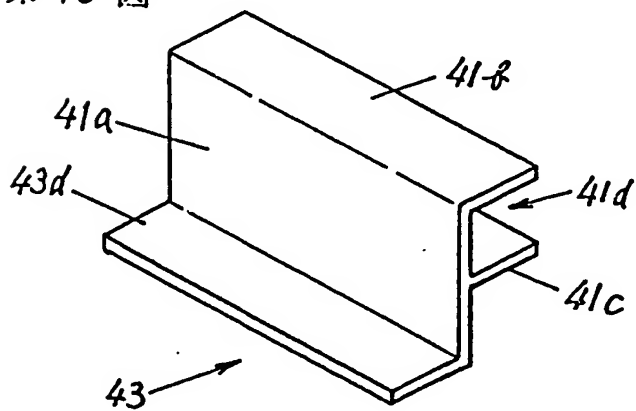
第 13 図



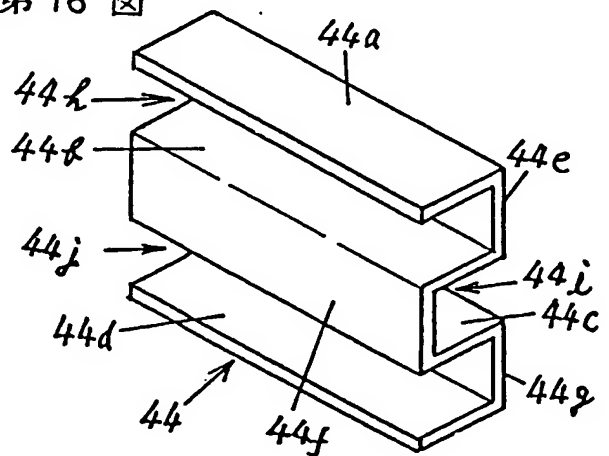
第 14 図



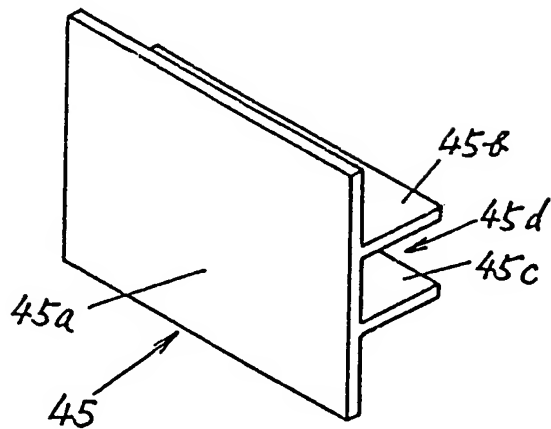
第 15 図



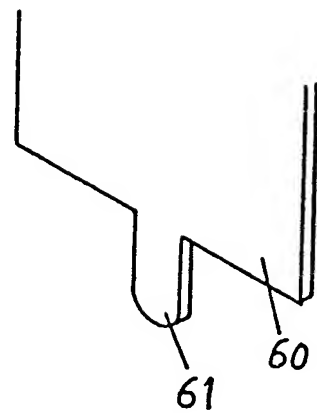
第 16 図



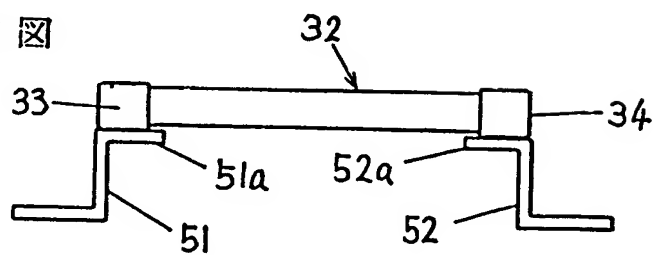
第 17 図



第 20 図



第 18 図



第 19 図

